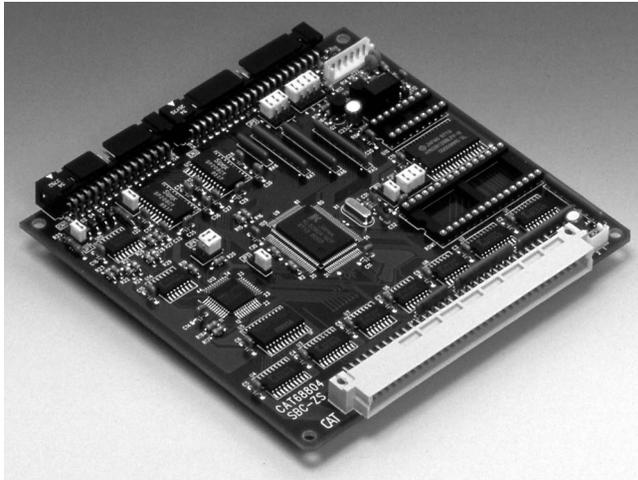


KC80 4チャンネルSIO付きCPUボード CAT68804 SBC-ZS

取り扱い説明書

1998.09.07 - 2000.03.06



概要

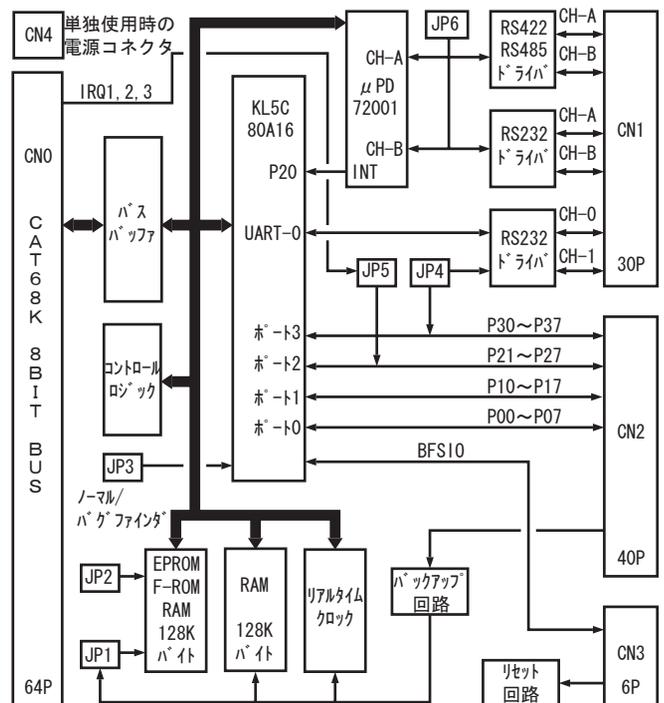
CAT68804 SBC-ZSはZ80ソフト互換の高速CPU、KL5C80A16(川崎マイクロエレクトロニクス製)を使用したCPUボードです。入出力機能としてKL5C80A16内蔵のI/Oの他に、2チャンネルのシリアルI/Oと、カレンダー機能(オプション)があります。メモリはプログラム領域用として128KバイトタイプのEPROM、フラッシュROM、RAMのいずれか1個を実装可能で、データ領域用には128KバイトのRAMが実装済みです。RAM及びカレンダー機能ICは外部に電池を接続することによりデータのバックアップが可能で、電池交換時等の短時間バックアップはボード上のスーパーキャパシタが行います。また、バグファインダBF3000によるデバッグも可能です。

仕様

- CPU: KL5C80A16(川崎マイクロエレクトロニクス製) 7.3728MHz動作
- メモリ:
 - [プログラム領域] 1Mビット(128Kバイト)タイプのEPROM、フラッシュROM、RAMのいずれか1個を実装可能
アクセスタイム 100nsec以下
 - [データ領域] 128KバイトのRAMを実装済み
- 割り込み: 内蔵デバイスおよび外部バス合計で16レベル
外部バス用にIRQ1*~IRQ3*の3レベルが使用可能
KL5C80A16内蔵の割り込みコントローラによるオートベクタ方式
- リセット: 以下のいずれかの条件でリセット信号を発生
パワーON時、5V電圧低下時、マニュアルリセット入力時
- 調歩同期シリアルI/O: 合計4チャンネル
[KL5C80A16内蔵SIO] × 2チャンネル
RS232専用。ボーレートジェネレータ内蔵
[NEC製μPD72001使用SIO] × 2チャンネル
RS232、RS422(RS485)切替可。ボーレートジェネレータ内蔵
- クロック同期シリアルI/O (KL5C80A16内蔵機能)
チャンネル数: 1チャンネル(チャンネル0は使用できません)
ボーレート: 外部クロック時最大5Mbps、内部クロック時921.6Kbps
半二重方式、キャラクタ長 8~16ビット
- パラレルI/O (KL5C80A16内蔵機能)
8ビットの汎用I/O × 4ポート(P0~P3)
[ポート0]は上位4ビット入力、下位4ビット出力固定
[ポート1~ポート3]は1ビット単位でI/O設定可
(パラレルポートはI/Oピンが各種機能と共用になっています)

- タイマ/カウンタ (KL5C80A16内蔵機能)
16ビットのタイマ/カウンタ × 4ch
8ビットプリスケアラ付き、外部クロックのカウント可能
- カレンダー機能: RTC62421(エプソン製)を実装可能(オプション)
- データバックアップ: 外部に1次または2次電池を接続することにより、RAMおよびカレンダーICをバックアップ
ボード上に短時間バックアップ用のスーパーキャパシタを実装済
- バグファインダ: バグファインダBF3000によるデバッグが可能です。
- 使用温度範囲: 0~55℃(結露なき事)
- 電源: +5V ± 5% 350mA MAX(ROM、カレンダーIC実装時)
- 重量: 約115g(ROM、カレンダーIC実装時)
- 基板:
 - 外形寸法 120 × 128 (コネクタ等、突起部分は含まない)
 - 取付穴寸法 112 × 120 (4-φ3.5)
 - 基板材質 ガラス布基材エポキシ樹脂 1.6t 4層基板

ブロック図



メモリの設定

CAT68804では128Kバイトのプログラム領域と128Kバイトのデータ領域の合計256Kバイトのメモリ空間を使用することができます。

■プログラム領域メモリの設定

プログラム領域のメモリとしてEPROM、フラッシュROM、RAMのいずれかで容量は128Kバイトのタイプを使用することができます。メモリタイプの設定はJP1、JP2で行います。

アクセスタイムは100nsec以下のものを使用し、KL5C80A16内蔵のシステム制御レジスタ(SCR4)の外部メモリウェイトコントロールは全アドレス空間を0waitに設定します。尚、外部I/Oウェイトコントロールは1waitに設定します。

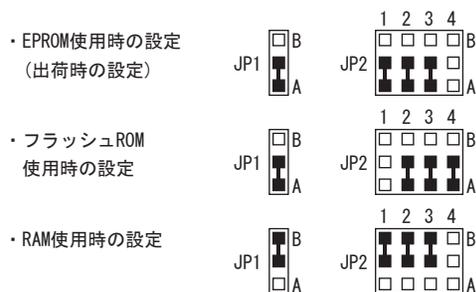
SCR4<D7:D0> = [0011 0XXX]

■データ領域メモリの設定

データ領域のメモリには128KバイトのRAMが実装済みです。ジャンパーの設定は必要ありません。

プログラムメモリの選択【 JP1、JP2 】

ジャンパー番号 使用メモリ	JP1	JP2			
		1	2	3	4
EPROM	A	A	A	A	-
フラッシュROM	A	-	A	A	A
RAM	B	B	B	B	-



プログラム領域

メモリ容量	物理アドレス
128Kバイト	00000H~1FFFFH

データ領域

メモリ容量	物理アドレス
128Kバイト	E0000H~FFFFFH

■MMUの設定

KL5C80A16 内蔵の MMU は論理アドレス空間を 5 つの領域 (R0 ~ R4) に分割し、論理アドレス境界値 (B0 ~ B4) と物理アドレスベース (A0 ~ A4) によって、それぞれを物理アドレス空間にマッピングしています。

リセット時の論理アドレス空間は R0 領域のみとなり、全論理アドレス空間 (64K バイト) は物理アドレス空間先頭の 64K バイトにマッピングされます (R1 ~ R3 領域は消滅します)。本ボードでは ROM が物理アドレスの 00000H ~ 1FFFFH に配置されていますので、リセット時には論理アドレス空間が全て ROM 領域となります。このためプログラムの最初で必ず MMU の設定を行い RAM を有効にする必要があります。以下に論理アドレス空間に ROM, 32K バイトと RAM, 32K バイトを割付ける MMU の設定例を示します。

; R0 領域 = ROM 論理アドレス 0000H ~ 7FFFH (物理アドレス 00000H ~ 07FFFH)

; R4 領域 = RAM 論理アドレス 8000H ~ FFFFH (物理アドレス F8000H ~ FFFFH)

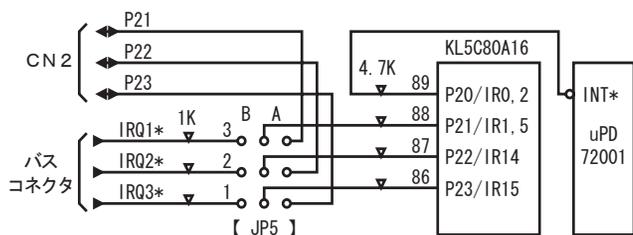
; R1, R2, R3 領域は使用しない

LD A, 01FH

OUT (06H), A ; MMU の BBR4 レジスタに 1FH を設定

割り込み

KL5C80A16 内蔵の割り込みコントローラは Z80 のモード 2 割り込みに対応した 16 レベル [IR0 ~ IR15] の割り込み要求をサポートしています。[IR3, IR4, IR6 ~ IR13] は KL5C80A16 内蔵 I/O の割り込み専用になっており、[IR0 ~ IR2, IR5, IR14, IR15] が外部割り込み用として使用できます。



● [IR0] : パラレルポートの P20 と I/O ピンを共用しています。またシステム制御レジスタ SCR1 の設定により、内蔵のタイマ/カウンタ CH2 用の割り込みとしても使用できます。

● [IR1] : パラレルポートの P21 と I/O ピンを共用しています。またシステム制御レジスタ SCR1 の設定により、内蔵のタイマ/カウンタ CH3 用の割り込みとしても使用できます。

● [IR2] : パラレルポートの P20 と I/O ピンを共用しています。またシステム制御レジスタ SCR1 の設定により、内蔵のクロック同期シリアル CH1 用の割り込みとしても使用できます。

● [IR5] : パラレルポートの P21 と I/O ピンを共用しています。またシステム制御レジスタ SCR1 の設定により、内蔵の調歩同期シリアル CH1 用のブレーク/エラー割り込みとしても使用できます。

● [IR14] : パラレルポートの P22 と I/O ピンを共用しています。

● [IR15] : パラレルポートの P23 と I/O ピンを共用しています。

パラレルポート P20 (端子 89) はシリアルコントローラ μ PD72001 からの割り込み入力専用としてボード上で μ PD72001 の割り込み (INT*) 出力信号に接続してあります、このためパラレルポート P20 は必ず入力に設定して下さい (出力に設定しないで下さい)。 μ PD72001 の割り込み出力は負論理ですので、KL5C80A16 のシステム制御レジスタ SCR1 で「端子 89 の信号を反転して入力」に設定し、「割り込みコントローラ IR[0] に端子 89 を接続」もしくは「割り込みコントローラ IR[2] に端子 89 を接続」を選択して下さい。

CAT68K バスからの割り込み信号 IRQ1* ~ IRQ3* は JP5 の設定で [IR1, 5]、[IR14]、[IR15] に入力することができます。CAT68K バスの割り込み信号は負論理ですので KL5C80A16 のシステム制御レジスタ SCR1 には「反転して入力する」を設定して下さい。また CAT68K バスに接続する拡張ボードによっては一つの割り込み信号線に複数の割り込み要求が接続されますので、KL5C80A16 の LER レジスタはレベル入力モードに設定して、割り込み要求元をポーリングで確定するようにして下さい。

【 JP5 】 KL5C80A16の端子86, 87, 88の接続先選択

ジャンパー番号	A	B
1 端子86 (P23/IR15)の接続先	CN2のP23ピン	バスのIRQ3*
2 端子87 (P22/IR14)の接続先	CN2のP22ピン	バスのIRQ2*
3 端子88 (P21/IR1, 5)の接続先	CN2のP21ピン	バスのIRQ1*

(設定例) ・端子86にCN2のP23ピンを接続 (パラレルI/O、又はCN2からの割り込み入力として使用)

・端子87にCN2のP22ピンを接続 (パラレルI/O、又はCN2からの割り込み入力として使用)

・端子88にバスのIRQ1*信号を接続

パラレル入出力

パラレル I/O として KL5C80A16 内蔵の 8 ビットパラレル I/O が 4 ポート使用できます。これらのパラレル I/O は IC (KL5C80A16) の入出力端子を他の機能と共用していますので注意して下さい。

次図のように各 I/O 信号は KL5C80A16 の信号がそのまま入出力コネクタの CN2 に接続されています。尚、出力専用の P00 ~ P03 以外の信号は 4.7K Ω でプルアップされています。

● [P00 ~ P03] : 出力専用です。

P01 ~ P03 はタイマ/カウンタの OUT1 ~ OUT3 と I/O ピンを共用しています。

● [P04 ~ P07] : 入力専用です。

タイマ/カウンタの GATE0 ~ GATE3 と I/O ピンを共用しています。

● [P10 ~ P17] : 1 ビット単位で入出力の設定ができます。

P10 はクロック同期シリアル CH1 と I/O ピンを共用しています。

● [P20 ~ P27] : 1 ビット単位で入出力の設定ができます。

P20 は割り込み入力専用として μ PD72001 の割り込み (INT*) 信号に接続されており、入出力コネクタ CN2 には接続されていません。(P20 は必ず入力に設定して下さい)

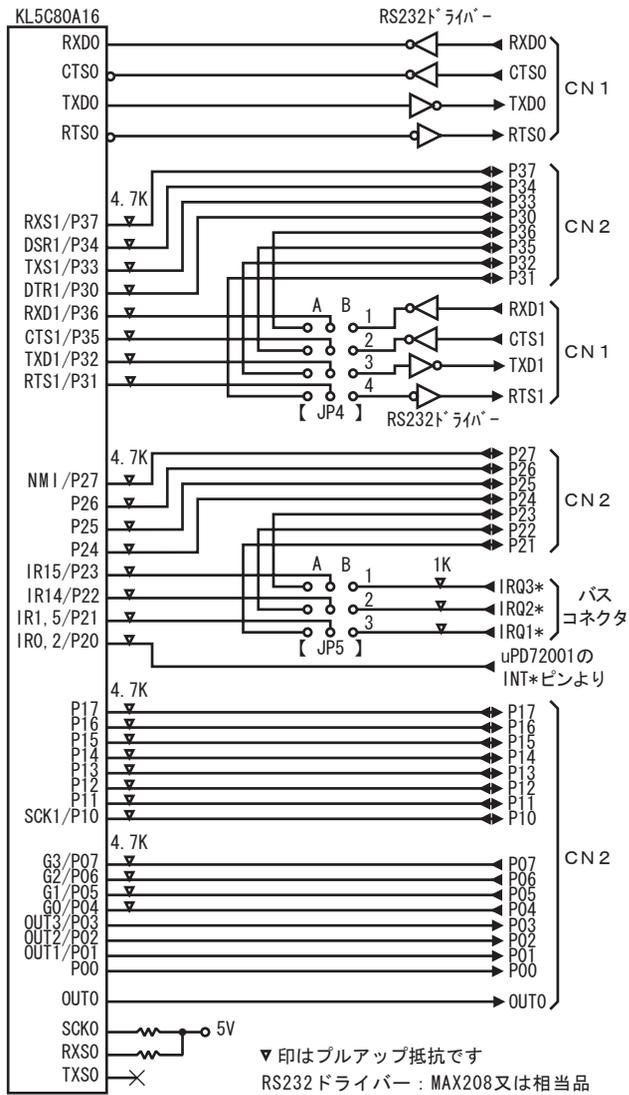
P21 ~ P23 は割り込み入力が可能で、この信号を入出力コネクタ CN2 に接続するかバスコネクタの IRQ1* ~ IRQ3* に接続するかを 1 ビットごとに選択できます。設定は JP5 で行います。(割り込みの説明を参照下さい)

P27 はマスク不能割り込み (NMI*) 入力としても使用できます。

● [P30 ~ P37] : 1 ビット単位で入出力の設定ができます。P31、P32、P35、P36 は調歩同期シリアル CH1 と I/O ピンを共用しており、どちらで使用するかを JP4 で設定する必要があります。(調歩同期シリアルインターフェースの説明を参照下さい)

P33、P37 はそれぞれクロック同期シリアル CH1 の TXS1、RXS1 信号と I/O ピンを共用しています。

■ KL5C80A16 入出力周りの回路図



タイマ/カウンタ

KL5C80A16 内蔵の 8 ビットプリスケラ付きの 16 ビットタイマ / カウンタが 4 チャンネル使用できます。KL5C80A16 の GATE0 ~ GATE3、OUT0 ~ OUT3 の信号がそのまま入出力コネクタの CN2 に接続されています。OUT0 出力ピンは他の機能と共用ではありませんので常時使用可能ですが、OUT1 ~ OUT3 はパラレル I/O の P01 ~ P03 と I/O ピンを共用していますのでこれらの信号を使用する場合は KL5C80A16 のシステム制御レジスタ SCR4 の設定が必要です。(上の図を参照下さい)

各チャンネルは GATE 入力端子から外部クロックのカウントが可能ですが、またタイマ / カウンタの CH3 からの割込み要求をシステム制御レジスタ SCR3 の設定により NMI に接続できますので、ウォッチドッグタイマとして CPU の暴走による誤動作を検出することが可能です。

クロック同期シリアル I/O

KL5C80A16 内蔵のクロック同期シリアルは 2 チャンネルありますが、チャンネル 0 は入出力用コネクタに接続されていないので使用できません。チャンネル 1 は使用できますが各信号 (TXS1、RXS1、SCK1) が I/O ピンをパラレル I/O と共用していますので KL5C80A16 のシステム制御レジスタ SCR4 の設定が必要です。(上の図を参照下さい)

クロック同期シリアルは半二重通信方式ですので送信と受信を同時に行うことはできません。キャラクタ長は 8 ~ 16 ビットが指定可能で転送方向は LSB/MSB を選択できます。ボーレートは外部クロックを使用する場合は最大 5Mbps で内部クロックを使用する場合は 921.6Kbps となります。

調歩同期シリアルインターフェース

KL5C80A16 内蔵の調歩同期シリアル 2 チャンネルと、μPD72001 (NEC) による調歩同期シリアル 2 チャンネルの合計 4 チャンネルのシリアル I/O が使用でき、それぞれのシリアル I/O には専用ボーレートジェネレータが内蔵されています。

■ KL5C80A16 内蔵の調歩同期シリアル I/O

(左の回路図を参照下さい)

● [チャンネル 0] : RS232 用ドライバ IC を介してコネクタ CN1 に接続されており、信号線として TXD0、RXD0、RTS0、CTS0 の 4 つの信号をサポートしています。

● [チャンネル 1] : RS232 レベル又は TTL レベルで使用することができ、RS232 レベル時は TXD1、RXD1、RTS1、CTS1 の 4 信号が、TTL レベル時は前記信号及び DTR1、DSR1 がサポートされています。

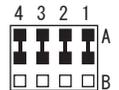
尚このチャンネルの各信号はパラレルポートの P30 ~ P32、P34 ~ P36 信号と I/O ピンを共用していますのでシリアル I/O として使用するか、又はパラレル I/O として使用するかを、ジャンパー JP4 と KL5C80A16 のシステム制御レジスタ SCR2 の上位 4 ビットで次のように設定する必要があります。

【 JP4 】 の設定

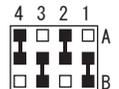
使用方法	JP4			
	1	2	3	4
全てパラレル I/O として使用、又はシリアル I/O として TTL レベルで使用	A	A	A	A
RS232 レベルで TXD1、RXD1 のみ使用 (P32、P36 は使用できない)	B	A	B	A
RS232 レベルで TXD1、RXD1、RTS1、CTS1 を使用 (P31、P32、P35、P36 は使用できない)	B	B	B	B

(設定例)

・全てパラレル I/O として使用、又はシリアル I/O として TTL レベルで使用



・RS232 レベルで TXD1、RXD1 のみ使用 (P32、P36 は使用できない)



システム制御レジスタ SCR2 の設定

使用方法	SCR2			
	D7	D6	D5	D4
シリアル I/O として使用しない (P30 ~ P32、P34 ~ P36 は全て使用できる)	0	0	0	0
TXD1、RXD1 のみ使用 (P32、P36 は使用できない)	0	0	0	1
TXD1、RXD1、RTS1、CTS1 を使用 (P31、P32、P35、P36 は使用できない)	0	0	1	0
TXD1、RXD1、RTS1、CTS1、DTR1、DSR1 を使用 (P30 ~ P32、P34 ~ P36 は使用できない)	0	0	1	1

■ μPD72001 の調歩同期シリアル I/O

(次ページの回路図を参照下さい)

μPD72001 (NEC 製) は 2 チャンネル入りの通信制御 IC で、本ボードでは調歩同期シリアル I/O として使用できます。μPD72001 のシステムクロック入力 (CLK) には CPU クロックの 7.3728MHz が入力されています。各チャンネル (チャンネル A、チャンネル B) はハード的に全く同様に構成されており RS232、RS422 (RS485) のインターフェースをジャンパー設定により個別に選択できます。

RS232 選択時にチャンネル A は TXDA、RXDA、RTSA、CTSA の 4 つの信号を使用することができます。チャンネル B は TXDB、RXDB、RTSB、CTSB の 4 つの信号を使用することができます。尚 μPD72001 の DCDA、DCDB 信号はボード上で GND に接続してありますので使用できません。

RS422 (RS485) を選択時はチャンネル A の通信線として (TXA+, TXA-)、(RXA+, RXA-) の二組の信号を使用できます。チャンネル B の通信線としては (TXB+, TXB-)、(RXB+, RXB-) の二組の信号を使用できます。この時 μPD72001 の DTRA、DTRB 信号は各チャンネルのドライバ IC のイネーブル / ディセーブルをコントロールします。

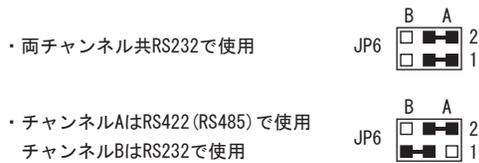
μ PD72001 内蔵のコントロールレジスタ (CR5) の DTR コントロールビットに” 1” をセットするとドライバはイネーブルになり、” 0” をセットするとディセーブルになります。

レシーバにはディセーブルの機能がありませんので、ドライバ出力とレシーバ入力を接続して 2 線式 (RS485) で使う場合は自分の送信データを自分で受信することになりますので、このような時は受信データの読み捨てが必要です。また、ジャンパーの設定により各チャンネル毎に終端抵抗 150 Ω の接続有無を選択できます。

尚、μ PD72001 の割り込みモードはノンベクターモードで使用して下さい。μ PD72001 の INTAK 入力は 5V に、PRI 入力は GND にボード上で接続されています。

【 JP6 】 μ PD72001 のインターフェース選択

通信方式	JP6-1	JP6-2
チャンネルAをRS232で使用	A	-
チャンネルAをRS422 (RS485) で使用	B	-
チャンネルBをRS232で使用	-	A
チャンネルBをRS422 (RS485) で使用	-	B



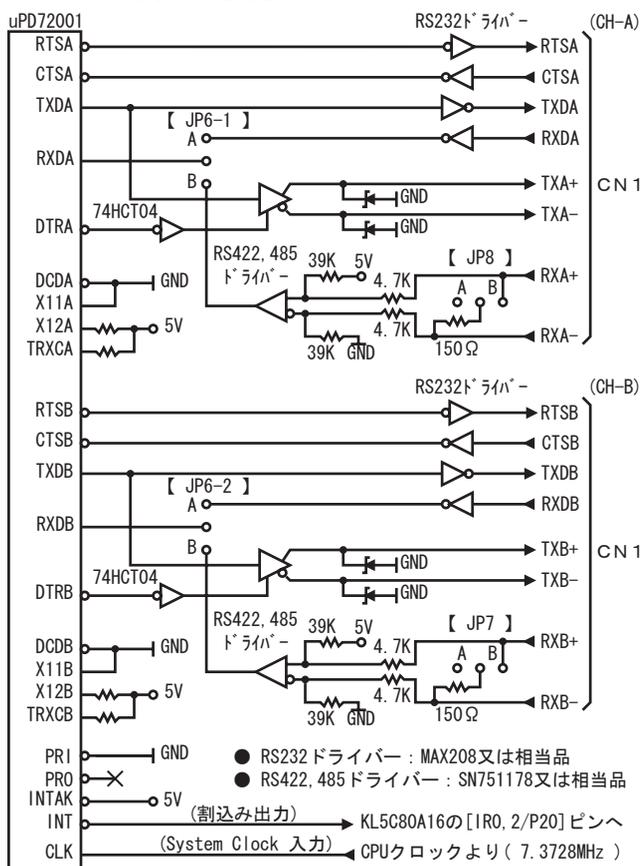
【 JP7 】 チャンネルBの終端抵抗の有無選択

【 JP8 】 チャンネルAの終端抵抗の有無選択

終端抵抗	ジャンパー位置
無し	A
有り (150 Ω)	B



■ μPD72001 入出力周りの回路図



μ PD72001 について

μ PD72001 (NEC 製) は 2 チャンネル入りの多機能通信制御 IC で、調歩同期動作、COP 動作、BOP 動作をサポートしていますが本ボードでは調歩同期動作のみ利用可能です。

尚、μ PD72001 に関する資料が必要な方は NEC の発行する「μ PD72001-11 ユーザーズマニュアル」資料番号 (S12472JJ7V1UM00)、「μ PD72001-11 アプリケーションノート (1)」資料番号 (S12753JJ4V1AN00) 等をメーカーより入手して下さい。

カレンダー機能 (オプション)

カレンダー機能 IC としてエプソン製の RTC62421 を U10 の IC ソケットに実装できます。日付、時間管理が必要な場合に利用して下さい。尚、カレンダー機能 IC の STD. P 出力はどこにも接続されていないので、カレンダー機能を利用して割り込み要求を発生することはできません。

リセット

電源電圧監視 IC により次に示す各状態でリセット信号を発生します。リセット信号はリセット発生条件解除後、約 100msec 保持されます。

- パワー ON リセット : 電源投入時に発生
- 電圧低下 : 5V ラインが約 4.2V 以下になった時に発生
- 外部リセット入力 : マニュアル用リセットで CN3 の RESET-IN 信号を LOW レベルにした時に発生

データのバックアップ

コネクタ CN2 にバックアップ用電池を接続することにより、RAM およびカレンダー機能 IC のデータをバックアップできます。カレンダー機能 IC はバックアップ中も計時動作を行いません。

また、ボード上にスーパーキャパシタが実装されていますので電池交換時等の短時間バックアップが可能です。(約 10 分 ~ 5 時間程度 : 温度条件等により異なる)

尚、プログラム領域のメモリに RAM を実装した場合はこの RAM もバックアップされます。

■ 1 次電池によるバックアップ (充電できません)
3 ~ 4.5V の範囲の電池を使用してください。容量、性能的にリチウム電池が最適です。

(CN2-20A) に電池のプラス (+) 側を接続。
(CN2-19B) に電池のマイナス (-) 側を接続。

■ 2 次電池によるバックアップ (充電できます)
2.4V/100mAh または 3.6V/50mAh のニッケルカドミウム電池を使用してください。ボードに通電中は 2.4V タイプ使用時は約 3mA、3.6V タイプ使用時は約 1.2mA で常に充電され、フル充電には約 50 ~ 60 時間かかります。(サンヨー製の N-SB2 (2.4V/90mAh) または N-50SB3 (3.6V/45mAh) が最適です。)

(CN2-20B) に電池のプラス (+) 側を接続。
(CN2-19B) に電池のマイナス (-) 側を接続。

■ バックアップ可能時間は、以下のように計算できます。

$$T = \frac{B \times 1000}{I_m + I_t + I_b} \quad (h)$$

T : バックアップ時間 (h)

B : 電池の容量 (mAh) I_t : カレンダー IC の保持電流 (μA)

I_m : メモリ保持電流 (μA) I_b : バッテリーの自己放電電流 (μA)

(計算例) 2000mAh のリチウム電池でカレンダー IC と RAM をバックアップする場合。(T_a = 0 ~ 40°C)

B = 2000 (mAh) I_t = 15 (μA)

I_m = 3 (μA) I_b = 3 (μA)

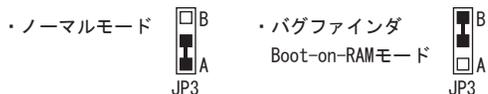
$$\frac{2000 \times 1000}{3 + 15 + 3} = 95238 (h) \approx 3968 (日) \quad [約 10 年]$$

バグファインダー

ボード上のコネクタ CN3 にバグファインダアダプタ用の信号が接続されていますのでバグファインダ BF3000 によるデバッグができます。バグファインダによるデバッグではメモリ空間、I/O 空間、割り込みに対する制限を全く受けることはありません。また、プログラム領域のメモリに RAM を使用する事によりプログラムのダウンロードも可能となります。ノーマルモードとバグファインダ Boot-on-RAM モードの切替は JP3 で行います。

【 JP3 】 CPU の動作モード選択

CPUの動作	ジャンパー位置
ノーマルモード	A
バグファインダBoot-on-RAMモード	B



I/Oアドレス

本 CPU ボード内では I/O アドレスの 00H ~ 5FH が使用または予約済となっています。外部周辺ボードでは I/O アドレスの 60H ~ FFH を使用して下さい。

KL5C80A16内蔵I/Oアドレス (1/2)

アドレス	内容	
00H	MMU	BBR1 (境界/ベースレジスタ 1)
01H		BR1 (ベースレジスタ 1)
02H		BBR2 (境界/ベースレジスタ 2)
03H		BR2 (ベースレジスタ 2)
04H		BBR3 (境界/ベースレジスタ 3)
05H		BR3 (ベースレジスタ 3)
06H		BBR4 (境界/ベースレジスタ 4)
07H		BR4 (ベースレジスタ 4)
08~0FH	川鉄予約	
10H	DMAC	チャンネル 0 B-PAR / C-PAR
11H		チャンネル 0 B-SAR / C-SAR
12H		チャンネル 0 B-BCR / C-BCR
13H		チャンネル 0 CR / SR
14H		チャンネル 1 B-PAR / C-PAR
15H		チャンネル 1 B-SAR / C-SAR
16H		チャンネル 1 B-BCR / C-BCR
17H		チャンネル 1 CR / SR
18H	システム制御レジスタ	川鉄予約
19H		川鉄予約
1AH		川鉄予約
1BH		SCR0
1CH		SCR1
1DH		SCR2
1EH		SCR3
1FH		SCR4
20H	タイマ/カウンタ	CH0 カウンタ
21H		CH0 コントロールワード/ステータス
22H		CH1 カウンタ
23H		CH1 コントロールワード/ステータス
24H		CH2 カウンタ
25H		CH2 コントロールワード/ステータス
26H		CH3 カウンタ
27H		CH3 コントロールワード/ステータス
28H	UART	RATE
29H		川鉄予約
2AH		CH0 送信/受信データ
2BH		CH0 コマンド/ステータス
2CH		CH1 送信/受信データ
2DH		CH1 コマンド/ステータス
2EH		川鉄予約
2FH		川鉄予約
30H	クロック同期シリアル	CH0 送信/受信データ
31H		CH0 コマンド/ステータス
32H		CH1 送信/受信データ
33H		CH1 コマンド/ステータス

KL5C80A16内蔵I/Oアドレス (2/2)

アドレス	内容	
34H	割り込みコントローラ	LERL, PGRL / ISRL
35H		LERH, PGRH / ISRH
36H		IMRL
37H		IVR, IVRH / IMRL
38H	パラレルポート	ポート 0 (P0) データ
39H		ポート 0 (P0) ビット操作コマンド
3AH		ポート 1 (P1) データ
3BH		ポート 1 (P1) 方向制御レジスタ
3CH		ポート 2 (P2) データ
3DH		ポート 2 (P2) 方向制御レジスタ
3EH		ポート 3 (P3) データ
3FH		ポート 3 (P3) 方向制御レジスタ

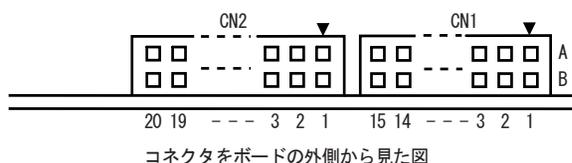
増設I/Oアドレス (1/2)

アドレス	内容	
40H	カレンダー IC RTC62421	S1 1秒桁レジスタ
41H		S10 10秒桁レジスタ
42H		M11 1分桁レジスタ
43H		M110 10分桁レジスタ
44H		H1 1時桁レジスタ
45H		H10 10時桁レジスタ
46H		D1 1日桁レジスタ
47H		D10 10日桁レジスタ
48H		MO 1月桁レジスタ
49H		M10 10月桁レジスタ
4AH		Y1 1年桁レジスタ
4BH		Y10 10年桁レジスタ
4CH		W 週レジスタ
4DH		CD コントロールレジスタD
4EH		CE コントロールレジスタE
4FH		CF コントロールレジスタF

増設I/Oアドレス (2/2)

アドレス	内容	
50~5BH	予約	
5CH	シリアル IC μPD72001	CH-A 送信/受信データ
5DH		CH-A コントロール/ステータス
5EH		CH-B 送信/受信データ
5FH		CH-B コントロール/ステータス

入出力コネクタのピン配列



【 CN1 】ピン配列

信号名	ピンNO.		信号名
TXB+	1A	1B	TXB-
RXB+	2A	2B	RXB-
GND	3A	3B	GND
TXA+	4A	4B	TXA-
RXA+	5A	5B	RXA-
GND	6A	6B	TXDB
RXDB	7A	7B	RTSB
CTSB	8A	8B	GND
TXDA	9A	9B	RXDA
RTSA	10A	10B	CTSA
GND	11A	11B	TXDO
RXDO	12A	12B	RTSO
CTS0	13A	13B	GND
TXD1	14A	14B	RXD1
RTS1	15A	15B	CTS1

- ピン番号1A~5Bの信号はμPD72001をRS422 (RS485) で使用する場合の信号です。
- ピン番号6B~10Bの信号はμPD72001をRS232で使用する場合の信号です。
- ピン番号11B~15Bの信号はKL5C80A16内蔵の調歩同期シリアルポートをRS232で使用する場合の信号です。

【 CN2 】ピン配列

信号名	ピンNO.		信号名
P00	1A	1B	P01 / OUT1
P02 / OUT2	2A	2B	P03 / OUT3
P04 / GATE0	3A	3B	P05 / GATE1
P06 / GATE2	4A	4B	P07 / GATE3
P10 / SCK1	5A	5B	P11
P12	6A	6B	P13
P14	7A	7B	P15
P16	8A	8B	P17
5V	9A	9B	GND
5V	10A	10B	GND
P21 / IR1,5	11A	11B	P22 / IR14
P23 / IR15	12A	12B	P24
P25	13A	13B	P26
P27 / NMI	14A	14B	P30 / DTR1
P31 / RTS1	15A	15B	P32 / TXD1
P33 / TXS1	16A	16B	P34 / DSR1
P35 / CTS1	17A	17B	P36 / RXD1
P37 / RXS1	18A	18B	GND
OUT0	19A	19B	GND
BAT1 IN	20A	20B	BAT2 IN

- CN2に割り付けられている調歩同期シリアルI/Oの信号(DTR1, RTS1, TXD1, DSR1, CTS1, RXD1)は、全てTTLレベルです。これらの信号をRS232レベルで使用する場合はCN1に割り付けられている同名の信号を使用して下さい。

【 CN3 】ピン配列及び機能説明

ピンNo.	信号名	機能
1	BFSIO	バグファインダ用のシリアルデータ信号
2	CLK	バグファインダ用クロック (7.3728MHz)
3	5V	バグファインダ用5V電源出力
4	GND	
5	RESET-IN	リセット入力 (RESET-INをGNDレベルにするとシステムリセット状態になります)
6	GND	

【 CN4 】ピン配列及び機能説明

ピンNo.	信号名	機能
1	GND	本ボードを単体で使用する場合はこのコネクタより電源を供給して下さい
2	5V	

入出力コネクタの型番

■ 入出力コネクタCN1、CN2の型番 (オムロン製)

名称	CN1型番	CN2型番	備考
ヘッダー(基板側)	XG4C-3034	XG4C-4034	
ソケット+ストレーンリリーフ	XG4M-3030-T	XG4M-4030-T	付属品
2列ソケット(バラ線圧接用)	XG5M-3032-N	XG5M-4032-N	AWG24用
セミカバー(バラ線圧接用)	XG5S-1501	XG5S-2001	
ロックレバー	XG4Z-0002		

■ 入出力コネクタCN3、CN4の型番 (日本圧着端子製)

名称	CN3型番	CN4型番	備考
ポスト(基板側)	B6B-EH	B2B-EH	
ハウジング	EHR-6	EHR-2	付属品
コンタクトピン	BEH-001T-P0.6		AWG22~30用

μ PD72001 のイニシャライズ

μ PD72001 のイニシャライズ サンプルソフトを載せておきますので参考にして下さい。このサンプルソフトを実行するとチャンネルA及びチャンネルBは以下の状態に設定されます。

■ チャンネルA

- ・ μ PD72001 をノンベクターモードで使用
- ・ 調歩同期、8BIT キャラクタ
- ・ 1ストップBIT、パリティ無し
- ・ 送受信通信速度 19200bps
- ・ 送受信割り込みは Enable、E/S INT は Disable

■ チャンネルB

- ・ μ PD72001 をノンベクターモードで使用
- ・ 調歩同期、8BIT キャラクタ
- ・ 2ストップBIT、偶数パリティ
- ・ 送受信通信速度 9600bps
- ・ 送受信割り込みは Enable、E/S INT は Disable

;;;;;;;;;;;;;;;; uPD72001 の イニシャライズ ;;;;;;;;;;

;;;;;;;;;;;;;;;; チャンネルA、B共通設定 ;;;;;;;;;;

```
SI0INI: LD      A, 018H
        OUT     (COM_A), A ;チャンネルAのリセット [CROA]
        OUT     (COM_B), A ;チャンネルBのリセット [CROB]
        NOP
        NOP          ;WAIT
```

***** 割り込みモードの設定 [CR2A]

```
LD      A, 002H ;ビット=2
        OUT     (COM_A), A
LD      A, 000H ;ノンベクタ, 固定ベクタ, TypeA-1
        OUT     (COM_A), A ;TxA>RxB, Both_INT
```

***** 割り込みベクタの設定 [CR2B]

```
LD      A, 002H ;ビット=2
        OUT     (COM_B), A
LD      A, 000H ;ベクタ=00Hを設定
        OUT     (COM_B), A
```

;;;;;;;;;;;;;;;; チャンネルAの設定 ;;;;;;;;;;

***** 調歩同期モードの設定 [CR4A]

```
LD      A, 004H ;ビット=4
        OUT     (COM_A), A
LD      A, 044H ;×16, ストップ Bit=1
        OUT     (COM_A), A ;パリティ無し
```

***** E/S 割り込みの設定 [CR11A]

```
LD      A, 00BH ;ビット=11
        OUT     (COM_A), A
LD      A, 000H ;全てのE/S割り込み禁止
        OUT     (COM_A), A
```

***** 受信ポート設定 [CR12A]

```
LD      A, 00CH ;ビット=12
        OUT     (COM_A), A
LD      A, 001H ;RxBRG 時定数の設定
        OUT     (COM_A), A
LD      A, 00AH ;19200BPS 時=10 (00AH)
        OUT     (COM_A), A ;Lowバイトをセット
LD      A, 000H
        OUT     (COM_A), A ;Highバイトをセット
IN      A, (COM_A) ;ダミーリード
```

***** 送信ポート設定 [CR12A]

```
LD      A, 00CH ;ビット=12
        OUT     (COM_A), A
```

```

LD      A, 002H      ;TxBRG 時定数の設定
OUT     (COM_A), A
LD      A, 00AH      ;19200BPS 時=10 (00AH)
OUT     (COM_A), A ;Lowバートをセット
LD      A, 000H
OUT     (COM_A), A ;Highバートをセット
IN      A, (COM_A)  ;ダミーリード

:***** 送受信用クロック源の選択 [CR15A]
LD      A, 00FH      ;ホインタ=15
OUT     (COM_A), A
LD      A, 056H      ;BRG Clock を選択
OUT     (COM_A), A

:***** ホーレートイネーブル、テストモードの選択 [CR14A]
LD      A, 00EH      ;ホインタ=14
OUT     (COM_A), A
LD      A, 007H      ;BRG 源に System Clock を選択
OUT     (COM_A), A ;Rx, Tx BRG イネーブル

:***** 受信制御レジスタの設定 [CR3A]
LD      A, 003H      ;ホインタ=3
OUT     (COM_A), A
LD      A, 0C1H      ;8Bit キャラクタ, Auto_Enable 禁止
OUT     (COM_A), A ;受信 Enable

:***** 送信制御レジスタの設定 [CR5A]
LD      A, 005H      ;ホインタ=5
OUT     (COM_A), A
LD      A, 068H      ;8Bit キャラクタ, DTR=RTS=0
OUT     (COM_A), A ;送信 Enable

:***** 送受信割込みのイネーブル [CR1A]
LD      A, 001H      ;ホインタ=1
OUT     (COM_A), A
LD      A, 012H      ;All RxINT-1 Enable
OUT     (COM_A), A ;TxINT Enable

://////////////////// チャンネルBの設定 //////////////////////

:***** 調歩同期モードの設定 [CR4B]
LD      A, 004H      ;ホインタ=4
OUT     (COM_B), A
LD      A, 04FH      ; × 16, ストップ Bit=2
OUT     (COM_B), A ;偶数バリエーション

:***** E/S 割込みの設定 [CR11B]
LD      A, 00BH      ;ホインタ=11
OUT     (COM_B), A
LD      A, 000H      ;全ての E/S 割込み禁止
OUT     (COM_B), A

:***** 受信ホーレート設定 [CR12B]
LD      A, 00CH      ;ホインタ=12
OUT     (COM_B), A
LD      A, 001H      ;RxBRG 時定数の設定
OUT     (COM_B), A
LD      A, 016H      ;9600BPS 時=22 (016H)
OUT     (COM_B), A ;Lowバートをセット
LD      A, 000H
OUT     (COM_B), A ;Highバートをセット
IN      A, (COM_B)  ;ダミーリード

:***** 送信ホーレート設定 [CR12B]
LD      A, 00CH      ;ホインタ=12
OUT     (COM_B), A
LD      A, 002H      ;TxBRG 時定数の設定
OUT     (COM_B), A
LD      A, 016H      ;9600BPS 時=22 (016H)
OUT     (COM_B), A ;Lowバートをセット
LD      A, 000H
OUT     (COM_B), A ;Highバートをセット
IN      A, (COM_B)  ;ダミーリード

:***** 送受信用クロック源の選択 [CR15B]
LD      A, 00FH      ;ホインタ=15
OUT     (COM_B), A
LD      A, 056H      ;BRG Clock を選択
OUT     (COM_B), A

:***** ホーレートイネーブル、テストモードの選択 [CR14B]
LD      A, 00EH      ;ホインタ=14
OUT     (COM_B), A
LD      A, 007H      ;BRG 源に System Clock を選択
OUT     (COM_B), A ;Rx, Tx BRG イネーブル

:***** 受信制御レジスタの設定 [CR3B]
LD      A, 003H      ;ホインタ=3
OUT     (COM_B), A
LD      A, 0C1H      ;8Bit キャラクタ, Auto_Enable 禁止
OUT     (COM_B), A ;受信 Enable

:***** 送信制御レジスタの設定 [CR5B]
LD      A, 005H      ;ホインタ=5
OUT     (COM_B), A
LD      A, 068H      ;8Bit キャラクタ, DTR=RTS=0
OUT     (COM_B), A ;送信 Enable

:***** 送受信割込みのイネーブル [CR1B]
LD      A, 001H      ;ホインタ=1
OUT     (COM_B), A
LD      A, 012H      ;All RxINT-1 Enable
OUT     (COM_B), A ;TxINT Enable

RET

```

注意

本製品は取扱いを間違えたり不適切な状態で使用されますと部品が破損したり、発火する可能性があります危険ですので以下の注意事項を必ずお守り下さい。

- 電源の極性を逆に接続したり、使用範囲外の電圧を加えたりしないで下さい。
- 各種出力信号、入出力双方向信号を電源やグランドに直接接続したり、過負荷で使用しないで下さい。(必ず適正な負荷範囲内で使用して下さい。)
- サージ電圧、ノイズ等の発生が予想される機器、部品等の近くで使用する場合は、発生源に十分なノイズ対策を行って下さい。
- 本製品は部品や部品のリード線がそのまま露出していますので指などに怪我をしないように取扱いには注意して下さい。
- 当社製品は、人命にかかわるような状況下や、極めて高い信頼性が要求される用途の製品・設備に組込まれることを目的として設計、製造されたものではありません。



エーワン株式会社 FAX(0568)85-8501 <http://www.aone.co.jp/cat/>
〒486-0852 愛知県春日井市下市場町6-9-20

(CAT68804-8)