

CAT-8002 PIO
USER'S MANUAL

【1】 概要

PIOはZ80B-PIOを2個実装した32ビットパラレル入出力ボードです。
各ボード及びハンドシェイクラインはTTLバッファを通して入出力が行われます。
割り込みはディジーチェーンを使用することができます。

【2】 仕様

① 使用素子

- ・ Z80B-PIO (6MHzまで対応)

② ポート

- ・ 4ポート (合計32ビット)
- ・ 各ポートに2本のハンドシェイクラインが付属
- ・ 各ポートは74LS245によりバッファ
- ・ 各ハンドシェイクラインは74LS243によりプルアップ
- ・ 全てのポート及びハンドシェイクラインは3.3KΩでプルアップ

③ 動作モード

- ・ バイト入力モード
- ・ バイト出力モード
- ・ バイト双方向バスモード
- ・ ビット制御モード [入出力の設定は8ビット単位 (ポート単位) になります]

④ 割り込み

- ・ ディジーチェーンによる
- ・ 割り込み優先順位

PIO1-A > PIO1-B > PIO2-A > PIO2-B

- ・ ディジーチェーン遅延時間 MAX 40nSec.

⑤ バスインターフェース

- ・ データバスのみ74LS245によりバッファ

⑥ 電源

- ・ +5V ± 5% 500mA MAX

⑦ 基板

- ・ 外形寸法 : 120 × 86 mm (コネクタ部分は、含まない)
- ・ 取付穴寸法 : 112 × 78 mm 4-φ3.5
- ・ 材質 : ガラス布基材エポキシ樹脂 1.6t

⑧ コネクタ

- ・ バスコネクタ : 富士通 FCN-365P-040AU

⑨ 使用温度

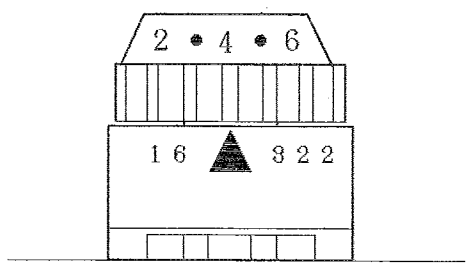
- ・ 0 ~ 55℃

【3】 I/Oアドレスの設定

I/Oアドレスの上位4ビットはDIPコードスイッチにより設定します。
DIPコードスイッチを指先で回して希望の上位アドレス番号と▲印を合わせて下さい。 下位4ビットのアドレスは固定で以下のようになっています。

上位4ビットDIP コードSWにより設定	下位4ビット 固 定	選 択 内 容
0 ~ F	8 ~ F	未 使 用
	7	P I O 2 Bポート コントロール
	6	P I O 2 Bポート データ
	5	P I O 2 Aポート コントロール
	4	P I O 2 Aポート データ
	3	P I O 1 Bポート コントロール
	2	P I O 1 Bポート データ
	1	P I O 1 Aポート コントロール
	0	P I O 1 Aポート データ

(例)



- ・ DIPコードスイッチが左図の時
アドレスは40～47となります。

【４】 動作モードの設定

各ポートの動作モードの設定はボード上のJP3とプログラムの両方で行います。
JP3によりバッファICの動作モードを設定し、コントロールワード（プログラム）によりZ80B-PIOの動作モードを設定します。

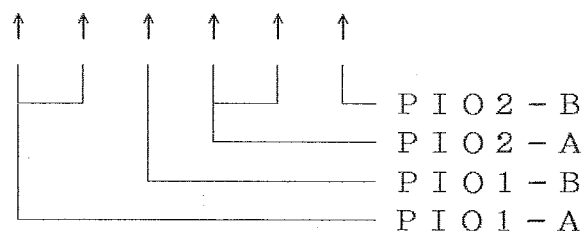
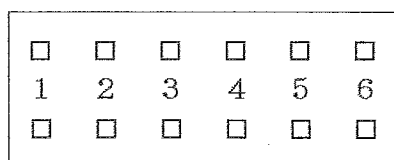
この時、両方の動作モードを一致させる必要があります。

（注）ビットモードに於いては、バッファICの制約により8ビット（ポート）単位で入出力の指定を行う事になります。

JP3による動作モード設定

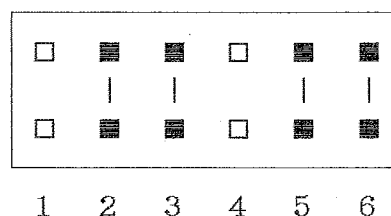
デバイス	ポート	ジャンパーピン	動作モード
PIO1	ポートA	ジャンパーなし	バイト入力 , ビット入力
		1	バイト双方向バスモード
		2	バイト出力 , ビット出力
	ポートB	ジャンパーなし	バイト入力 , ビット入力
		3	バイト出力 , ビット出力
PIO2	ポートA	ジャンパーなし	バイト入力 , ビット入力
		4	バイト双方向バスモード
		5	バイト出力 , ビット出力
	ポートB	ジャンパーなし	バイト入力 , ビット入力
		6	バイト出力 , ビット出力

JP3配列

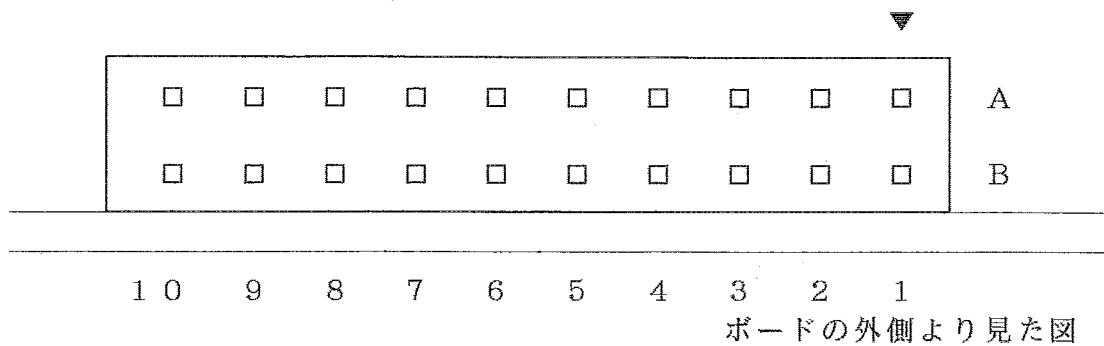


出荷時は、全ポートが
バイト出力，ビット出力モードに
設定されています。

JP3



【 5 】 コネクタ 2 (C N 2) , コネクタ 3 (C N 3) ピン配列



信 号 名	ピン NO .		信 号 名
P A 7	1 A	1 B	P A 6
P A 5	2 A	2 B	P A 4
P A 3	3 A	3 B	P A 2
P A 1	4 A	4 B	P A 0
P B 7	5 A	5 B	P B 6
P B 5	6 A	6 B	P B 4
P B 3	7 A	7 B	P B 2
P B 1	8 A	8 B	P B 0
A R D Y	9 A	9 B	/ A S T B
B R D Y o r +5V ※ 1	1 0 B	1 0 B	/ B S T B o r G N D ※ 1

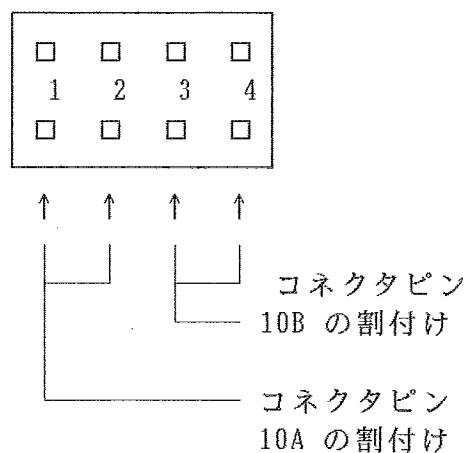
- ※ 1) ・ C N 2 のピン 1 0 A , 1 0 B は J P 1 によりピン割付けが変わります。
 C N 3 のピン 1 0 A , 1 0 B は J P 2 によりピン割付けが変わります。
 ・ P I O 1 は T T L バッファを通過して C N 2 に接続されています。
 P I O 2 は T T L バッファを通過して C N 3 に接続されています。

【6】 JP1及びJP2の設定

JP1とJP2によりCN2、CN3のピン10Aとピン10Bの割付けが変更できます。JP1及びJP2によるピン割付けは下記の様になっています。

CN2, CN3 ピン No.	JP1, JP2 の ジャンパーピン	割 付 け
10A	1	B R D Y
	2	+ 5 V
10B	3	/ B S T B
	4	G N D

JP1, JP2の配列

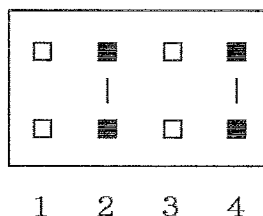


出荷時の設定は下図の様になっています。

CN2, CN3

ピン No.	割 付 け
10A	+ 5 V
10B	G N D

JP1, JP2



【7】 入出力コネクタ (CN2, CN3) 型番

- ・ヘッダー (基板側) : XG4C-2034 (オムロン)
 - ・ソケット (ユーザー側)
 - フラットケーブル用
 - ソケット : XG4M-2030 (オムロン)
 - ストレインリリーフ : XG4T-2004 (オムロン)
 - バラ線用圧接用
 - 2列ソケット : XG5M-2032-N (オムロン)
 - セミカバー : XG5S-1001 (オムロン)
- *フラットケーブル用が付属しています。

【 7 】 部品配置図

