

C A T - 8 0 2 8 S B C - B

U S E R ' S M A N U A L

【1】概要

CAT-8028 SBC-Bは、Z-80 CPUを中心に40ビットパラレル入出力、CTCなどの周辺機能をワンチップ化したTMPZ84C011AF-6（東芝製）をCPUに採用したSBCボードであり基板上にはCPU内蔵の平行入出力の他に8ビットの汎用出力ポートを実装しています。RAM、ROMそれぞれ32Kバイトまで実装することができます。

また、ボード上にICE用のICソケットが実装されていますのでICEを使ったデバッグも容易に行うことができます。

【2】仕様

① CPU

- ・TMPZ84C011AF-6 使用
- ・6.000MHz 動作

② 割込み

- ・NMI 及び INT

③ ROM

- ・8Kバイト、16Kバイト、32Kバイトのいずれかのタイプ1個実装可能
- ・ROMのアクセスタイムは170ns以下が必要
- ・アドレスは0000Hより連続（最大7FFFH）

④ RAM

- ・8Kバイト、32Kバイトタイプのいずれか1個実装可能

⑤ 平行入出力

- ・8bit×5ポート ビット毎に入出力の指定可能（TMPZ84C011内蔵機能）

⑥ 平行汎用出力

- ・8bit×1ポート（TC74HC273による）

⑦ カウンタ／タイマ

- ・Z80-CTC相当 8bit×4ch（TMPZ84C011内蔵機能）

⑧ データバックアップ

- ・外部にバックアップ用電源を接続することにより、CMOS RAMのバックアップ可能
- ・ボード上にスーパーキャパシタ実装

⑨ リセット

- ・電源電圧監視ICにより以下の3種類のリセットを発生
パワーオンリセット、外部リセット、電源電圧異常リセット

⑩ バスインターフェース

- ・バスバッファIC 74LS245による

⑪ 電源

- ・+5V±5% 350mA Max（27256、55257実装時）

⑫ 基板

- ・外形寸法 : 120×86mm（コネクタ部分は含まない）
- ・取付穴寸法 : 112×78mm 4-φ3.5
- ・材質 : ガラス布基材エポキシ樹脂 1.6t

⑬ コネクタ

- ・バスコネクタ : FCN-365P-040AU（富士通）
- ・入出力コネクタ
ヘッダー（基板側） : XG4A-3439-S001（オムロン）
ソケット（ユーザー側） : XG4M-3430（オムロン）
ストレインリリーフ : XG4T-3404（オムロン）
ソケット、ストレインリリーフはそれぞれ2個付属しています。

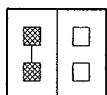
⑭ 使用温度

- ・0～55℃

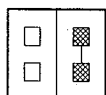
【3】メモリのセレクト方法

①ROMのセレクト

- ・ROMの選択はJP2及びJP3により行います。
- ・8Kバイト、16Kバイトタイプを使用する時は、JP2にジャンパーをセットします。
- ・32Kバイトタイプを使用する時はJP3にジャンパーをセットします。



JP2 JP3
8K, 16Kバイト選択



JP2 JP3
32Kバイト選択

②RAMのセレクト

- ・RAMは8Kバイト、32Kバイトタイプを使用することができます。
- ただし8Kバイトと32KバイトタイプではRAMの先頭アドレスが異なりますので注意してください。尚この際ジャンパーの変更はありません。

【4】メモリーアドレスマップ

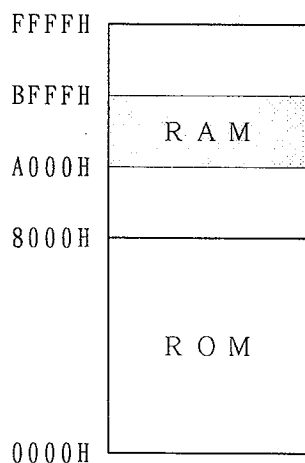
- ①・0000H－7FFFFHがROM領域
- ・8000H－FFFFHがRAM領域

②ROM領域

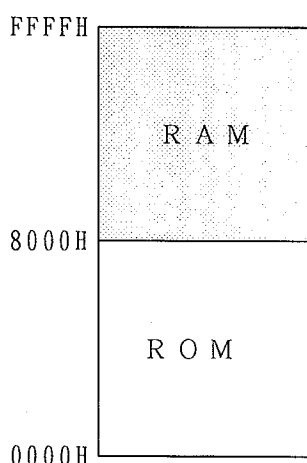
ROMタイプ	ROM領域
8Kバイト	0000H－1FFFFH
16Kバイト	0000H－3FFFFH
32Kバイト	0000H－7FFFFH

③RAM領域

RAMタイプ	RAM領域
8Kバイト	A000H－BFFFFH
32Kバイト	8000H－FFFFH



8Kバイトタイプ



32Kバイトタイプ

- ・未使用領域にはROMまたはRAMのイメージがでます。

【5】主な使用可能メモリ

① S - R A M

メーカー	8 Kバイト	32 Kバイト
東 芝	T C 5 5 6 4 A P L	T C 5 5 2 5 7 B P L
富士通	-----	M B 8 4 2 5 6 A
三 菱	-----	M 5 M 5 2 5 6 B P
日 立	H M 6 2 6 4 A L P	H M 6 2 2 5 6 A L P
N E C	-----	μ P D 4 3 2 5 6 A

データのバックアップを行う時は8 K、32 K共にLバージョンを使って下さい。

② R O M

R O Mは8 Kバイト、16 Kバイト、32 Kバイトタイプでアクセスタイムが170 n s e c以下であれば使用可能です。

【6】メモリ保持時間

・バックアップ用電源によるメモリの保持時間は、以下のように計算されます

$$T = \frac{B \times 1000}{I_m + I_d + I_b} \quad (h)$$

T : メモリ保持時間 (h) I d : デコーダ I C の電流 (μ A)
 B : 電池の容量 (m A h) I b : バッテリー自己放電電流 (μ A)
 I m : メモリ保持電流 (μ A)

・ 計算例

750 m A h のリチウム電池で T C 5 5 2 5 7 をバックアップする場合。

B = 750 (m A h) I b = 0 (μ A)

I m = 2 (μ A) I d = 10 (μ A)

$$T = \frac{750 \times 1000}{2 + 10} = 62500 (h) \approx 2600 (日)$$

【7】I / O アドレス

名 称	I / O アドレス
C T C 0	0 1 0 H
C T C 1	0 1 1 H
C T C 2	0 1 2 H
C T C 3	0 1 3 H
P A 入出力設定レジスタ	0 5 4 H
P B 入出力設定レジスタ	0 5 5 H
P C 入出力設定レジスタ	0 5 6 H
P D 入出力設定レジスタ	0 3 4 H
P E 入出力設定レジスタ	0 4 4 H
P A ポートレジスタ	0 5 0 H
P B ポートレジスタ	0 5 1 H
P C ポートレジスタ	0 5 2 H
P D ポートレジスタ	0 3 0 H
P E ポートレジスタ	0 4 0 H
P F (出力ポート)	0 2 0 H

注) この S B C ボードとその他の C A T シリーズのボードを組み合わせる場合は、I / O アドレスが重ならないように注意して下さい。

【 8 】 基板上の I / O について

① P A ~ P E

T M P Z 8 4 C 0 1 1 に内蔵された I / O でビット毎に入出力の指定ができる 8 ビット単位の汎用ポートです。初期設定として各ポートレジスタに対応する入出力設定レジスタを設定する必要があります。出力ポートとして使う場合はそのビットに対応する入出力設定レジスタに" 1 "を、入力ポートとして使う場合" 0 "を設定します。リセット時はすべて入力ポートとなります。各ポートはすべて 1 0 K Ω でプルアップされています。

② P F (出力専用ポート)

出力 I C として 7 4 H C 2 7 3 を使用しています。リセット時、出力はすべて" L "となります。出力の読み出しは行えません。

③ C T C

J P 4 ~ J P 6 をジャンパーすることにより、0 c h ~ 3 c h までをシリーズに接続する事ができます。

J P 4 : ジャンパーする事により 0 c h と 1 c h がシリーズに接続されます。

J P 5 : ジャンパーする事により 1 c h と 2 c h がシリーズに接続されます。

J P 6 : ジャンパーする事により 2 c h と 3 c h がシリーズに接続されます。

【 9 】 リセット動作

① 電源電圧監視 I C により次に示す各状態でリセットが発生します。

- ・ パワーオンリセット : 電源投入時に発生
- ・ 電源電圧異常リセット : 5 V ラインが約 4 . 5 V 以下の時発生
- ・ 外部リセット : マニュアル用リセットで外部より / R e s e t 信号を入力することにより発生させます。

② リセットホールド時間 : リセット発生条件解除後、約 2 0 m S e c

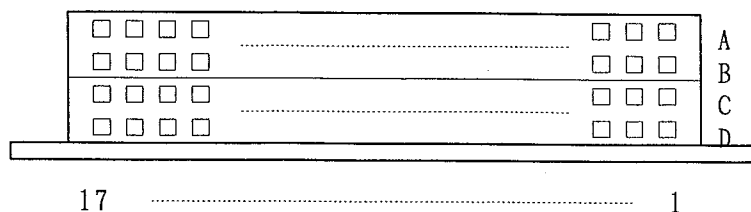
【 1 0 】 外部入出力コネクタのピン配列

	A 列	B 列	C 列	D 列
1	P A 0	P A 1	P D 0	P D 1
2	P A 2	P A 3	P D 2	P D 3
3	P A 4	P A 5	P D 4	P D 5
4	P A 6	P A 7	P D 6	P D 7
5	P B 0	P B 1	P E 0	P E 1
6	P B 2	P B 3	P E 2	P E 3
7	P B 4	P B 5	P E 4	P E 5
8	P B 6	P B 7	P E 6	P E 7
9	P C 0	P C 1	P F 0	P F 1
1 0	P C 2	P C 3	P F 2	P F 3
1 1	P C 4	P C 5	P F 4	P F 5
1 2	P C 6	P C 7	P F 6	P F 7
1 3	G N D	G N D	G N D	G N D
1 4	C L K 0	T O 0	C L K 3	G N D
1 5	C L K 1	T O 1	R E S I N *1	G N D
1 6	C L K 2	T O 2	B A T + *2	G N D
1 7	+ 5 V *3	G N D	+ 5 V *3	G N D

* 1 R E S I N : 外部マニュアルリセット入力 (G N D レベルに落とす事によりリセットをかけます。)

* 2 B A T + : バックアップ用電源入力

* 3 + 5 V : ボード内部の 5 V ラインに接続されています。このボードを単体で使用するときは、ここから 5 V を供給します。



外部入出力コネクタ（ボードの外側より見た図）

【11】ICEの使用について

J P 1をオープンにする事によりCPUの各信号線はハイインピーダンスになりますので、この状態でICEを使ったデバッグを行う事ができます。

尚通常時J P 1は必ずジャンパーして使用して下さい。

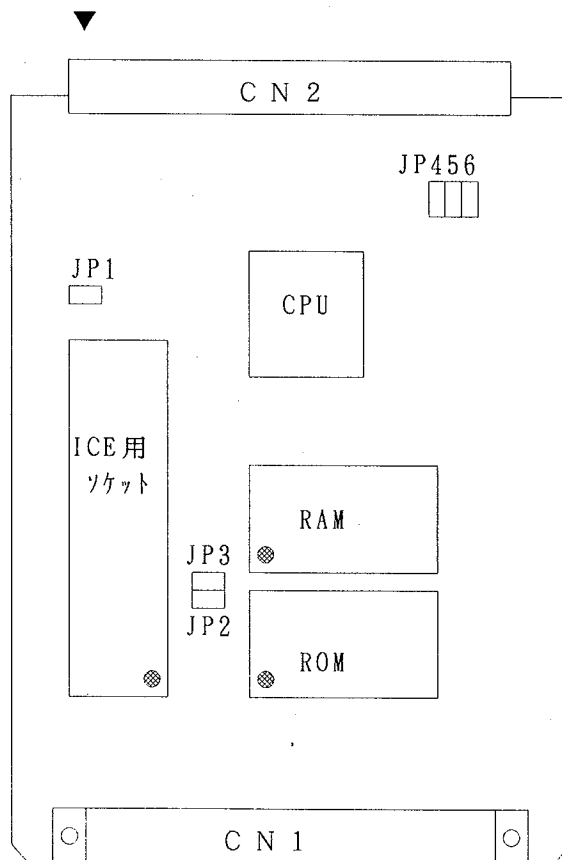
【12】バックアップ用電源について

本ボードにはバックアップ用電源交換の際、データを保持するためにスーパーキャパシタが実装されています。このスーパーキャパシタでのデータ保持時間は約10～30分程度ですので、交換はこの時間内に行って下さい。

また、バックアップ用の電池には、マンガン電池、アルカリマンガン電池、リチウム電池、ニッカド電池等が使用できますが、ニッカド電池を使用した場合電池への充電は本ボードからは行うことができません。

尚、電池の電圧は3～5V必要です。

【13】部品配置図



注) T M P Z 8 4 C 0 1 1 A Fの詳細については、データブックを参照して下さい。

