

CAT-8031 DAC12-ISO
USER'S MANUAL

1995.1

DAC12-ISOは、D/A変換ICにAD767を使用した、絶縁型2チャンネル12ビットのD/A変換ボードです。

出力電圧は、0～5 V、0～10 V、±2.5 V、±5 V、±10 Vの5レンジが切り替え可能です。

【 2 】 仕 様

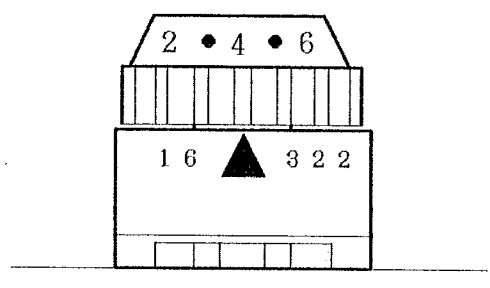
- ① 分解能 12ビット
- ② 使用素子
・ D/Aコンバータ : AD-767JN
- ③ 出力レンジ
・ ユニポーラ : 0~5V、0~10V (ストレートバイナリー)
・ バイポーラ : ± 2.5 V、 ± 5 V、 ± 10 V (オフセットバイナリー)
- ④ 出力電流 ± 5 mA
- ⑤ 直線性 ± 1 LSB MAX
- ⑥ 温度ドリフト ± 30 ppm of FSR/°C
- ⑦ 変換時間 20 μ sec MAX
(フォトカプラによる遅れ時間を含む)
- ⑧ ゲインエラー、ゼロエラー 調整による
- ⑨ 変換開始
・ 下位8ビットを出力されたときに変換される
- ⑩ バスインターフェイス
・ データバスのみ74LS245によりバッファ
- ⑪ 電源
・ +5V $\pm 5\%$ 120mA MAX
・ +15V 40mA/1ch
・ -15V 25mA/1ch
- ⑫ 基板
・ 外形寸法 : 120 $\times$ 86mm (コネクタ部分は、含まない)
・ 取付穴寸法 : 112 $\times$ 78mm 4- $\phi 3.5$
・ 材質 : ガラス布基材エポキシ樹脂 1.6t
- ⑬ コネクタ
・ バスコネクタ : 富士通 FCN-365P-040AU
・ 入出力コネクタ : 日圧 BS5P-SHF-1AA $\times 2$
- ⑭ 使用温度
・ 0~55°C

【 3 】 I / O アドレスの設定

I / O アドレスの上位 4 ビットは D I P コードスイッチにより設定します。
D I P コードスイッチを指先で回して希望の上位アドレス番号と▲印を合わせて下さい。 下位 4 ビットのアドレスは固定で以下のようになっています。

上位 4 ビット D I P コードスイッチにより選択	下位 4 ビット 固 定	選 択 内 容
0 ~ F	4 ~ F	未 使 用
	3	D A C 2 上位データの 書き込み
	2	D A C 2 下位データの 書き込み及び バッファへの転送
	1	D A C 1 上位データの 書き込み
	0	D A C 1 下位データの 書き込み及び バッファへの転送

(例)



- ・ D I P コードスイッチが左図の時
アドレスは 4 0 ~ 4 3 となります。

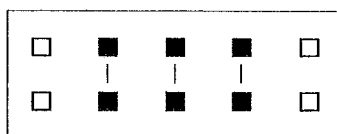
【 4 】 出力電圧レンジの設定

出力電圧レンジの設定は、ジャンパーチップにより下図のように行います。
 (出荷時はユニポーラ 0 ～ 5 V に設定されています。)

(ユニポーラ 0 ～ 5 V) (ユニポーラ 0 ～ 10 V)



1 2 3 4 5

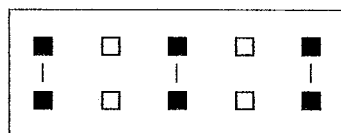


1 2 3 4 5

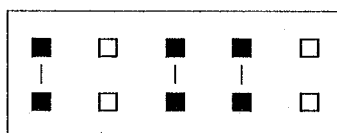
(バイポーラ ±2.5 V)

(バイポーラ ±5 V)

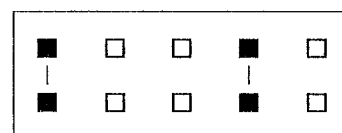
(バイポーラ ±10 V)



1 2 3 4 5



1 2 3 4 5



1 2 3 4 5

【 5 】 D/A変換の方法

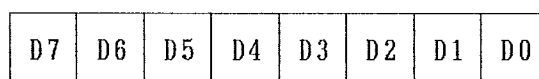
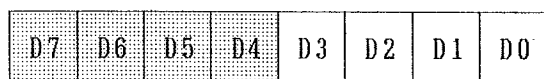
D/Aデータは必ず上位4ビット、下位8ビットの順に書き込んで下さい。
 本ボードでは、ダブル・バッファ・ラッチ方式のD/A変換を行っており、下位データが書き込まれた時点で、全データ(上位4ビット及び下位8ビット)が出力ラッチに転送されD/A出力値が更新されるようになっています。

(データフォーマット)

 無効ビット

上位データ

下位データ



DB
 11 10 9 8
 (MSB)

DB
 7 6 5 4 3 2 1 0
 12Bit
 (LSB)

未使用

D/A データ

【 6 】 ゼロ、オフセット及びゲイン調整

出荷時にゼロ及びゲイン調整は実施してありますが、外部アナログ用電源の状態により、調整位置がずれる可能性がありますので下記の要領で調整して下さい。

① ユニポーラ

・ゼロ調整

すべてのビットを” 0 ” にします。

U N I のボリュームを調整して出力を 0 . 0 0 0 V にします。

・ゲイン調整

すべてのビットを” 1 ” にします。

校正電圧表のゲイン調整の項に記載されている電圧になるように G A I N のボリュームで出力の調整をおこないます。

② バイポーラ

・オフセット調整

すべてのビットを” 0 ” にします。

校正電圧表のオフセット調整の項に記載されている電圧になるように B I のボリュームで出力の調整をおこないます。

・ゲイン調整

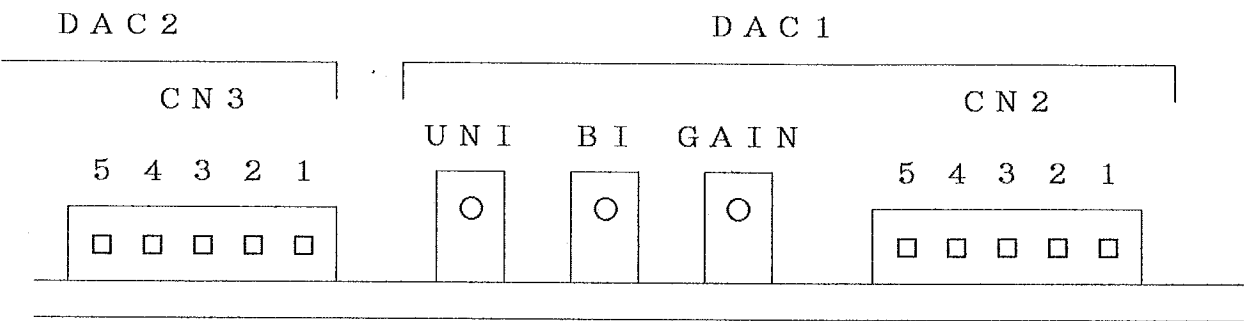
すべてのビットを” 1 ” にします。

校正電圧表のゲイン調整の項に記載されている電圧になるように G A I N のボリュームで出力の調整をおこないます。

《校正電圧表》

モード	出力範囲	調整項目	校 正 電 圧
ユニポーラ	0 ~ 5 V	ゼ ロ	0 . 0 0 0 V
		ゲ イ ン	+ 4 . 9 9 8 8 V
	0 ~ 1 0 V	ゼ ロ	0 . 0 0 0 V
		ゲ イ ン	+ 9 . 9 9 7 6 V
バイポーラ	± 2 . 5 V	オフセット	- 2 . 5 0 0 V
		ゲ イ ン	+ 2 . 4 9 8 8 V
	± 5 V	オフセット	- 5 . 0 0 0 V
		ゲ イ ン	+ 4 . 9 9 7 6 V
	± 1 0 V	オフセット	- 1 0 . 0 0 0 V
		ゲ イ ン	+ 9 . 9 9 5 1 V

【 7 】 アナログ出力コネクタピン配列



ボードの外側からみた図

No	C N 2 (DAC1)			C N 3 (DAC2)		
	信号名	備 考		信号名	備 考	
1	-	- 1 5 V	外部アナログ 電源入力①	-	- 1 5 V	外部アナログ 電源入力②
2	G	0 V		G	0 V	
3	+	+ 1 5 V		+	+ 1 5 V	
4	V	DAC1 アナログ出力 (+)		V	DAC2 アナログ出力 (+)	
5	G	DAC1 アナログ出力 (-)		G	DAC2 アナログ出力 (-)	

注) D A C 1 と D A C 2 は絶縁されています。したがって外部アナログ電源①と②は基板上では接続されていません。

【 8 】 アナログ出力コネクタ型番

- ・ サイドポスト (基板側) : B S 5 P - S H F - 1 A A
- ・ハウジング (ユーザー側) : H 5 P - S H F - A A
- ・コンタクトピン (") : B H F - 0 0 1 T - 0 . 8 S S

【 9 】 部品配置図

